

## ANALIZA RELACJI CZASOWYCH W UKŁADZIE REJESTRACJI DANYCH Z SYSTEMU ELEKTROENERGETYCZNEGO

*W artykule przedstawiono relacje czasowe pomiędzy procesami i operacjami realizowanymi podczas rejestracji danych z systemu elektroenergetycznego, zapisywanych do pamięci przenośnej pendrive. Autorzy przedstawiają i analizują pod kątem uzależnień czasowych kolejne etapy rejestracji danych, zawierających informacje o sygnałach w systemie elektroenergetycznym, od momentu ich przetworzenia na postać cyfrową, poprzez gromadzenie w pamięci procesora DSP, ich wysłanie z wykorzystaniem protokołu LVDS do układu FPGA, gdzie są one buforowane w ramach 4 kB, a następnie wysłane za pomocą interfejsu SPI do pamięci procesora GPP, pracującego pod kontrolą systemu operacyjnego Linux. Wskazano zmianę sposobu synchronizacji ramek w komunikacji między FPGA a GPP, dzięki której wydatnie zwiększono efektywność wymiany danych między tymi układami. W module GPP, z wykorzystaniem narzędzi i sterowników dostępnych w środowisku Linux, dane zapisywane są na nośniku połączonym za pośrednictwem portu USB. Jest to proces krytyczny w łańcuchu wspomnianych operacji, wpływający na ograniczenie szybkości rejestracji danych. Ograniczenia te wynikają głównie z właściwości systemu Linux.*

*W pracy omówiono konfigurację i procesy realizowane w podstawowych blokach funkcjonalnych toru rejestracji danych: ADC, DSP, FPGA oraz GPP z portem USB. Przeprowadzono analizę ograniczeń czasowych operacji realizowanych sekwencyjnie w poszczególnych blokach. „Wąskim gardłem” dla strumienia danych jest operacja zapisu do USB pod kontrolą GPP. W artykule przedstawiono wyniki badań szybkości przetwarzania danych w poszczególnych blokach i występujących ograniczeń czasowych. Zawarto wnioski na temat właściwości wbudowanego systemu operacyjnego, zainstalowanego w układzie GPP, oraz możliwości wykorzystania takich systemów w układach rejestracji danych. Przedstawiono korzyści i ograniczenia związane z ich użytkowaniem.*

### WSTĘP

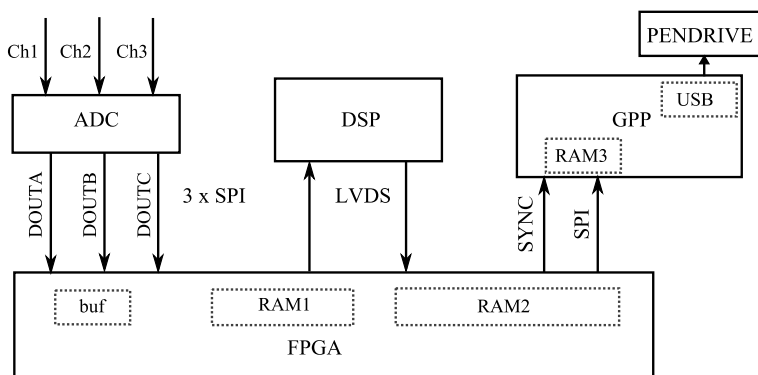
Zaprojektowany i wykonany w Katedrze Elektroenergetyki Okrętowej Akademii Morskiej w Gdyni estymator/analizator parametrów systemu elektroenergetycznego realizuje zestaw funkcji pomiarowych prowadzących do wyznaczania wartości parametrów jakości energii elektrycznej. Założenia funkcjonalne urządzenia są następujące [3]:

Odebrane dane z procesora sygnałowego będą agregowane w procesorze ogólnego przeznaczenia zgodnie z normą IEC 61000-4-30 (pierwiastek kwadratowy ze średniej z kwadratów wartości wejściowych). Dane będą zapamiętywane w pamięci flash na karcie SD. Przechowywane będą następujące wyniki pomiarów:

- wartości podstawowe (dla około 200 ms okna pomiarowego) przez godzinę,
- wartości obliczone dla 3-sekundowej agregacji przez 1 dzień,

- wartości obliczone dla 10-minutowej agregacji przez 1 tydzień,
- wartości obliczone dla 2-godzinnej agregacji przez 30 dni.

System pomiarowy do rejestracji próbek napięcia, pobieranych z systemu elektroenergetycznego wg powyższych założeń, zaprojektowano przy użyciu kilku układów funkcjonalnych. Na rysunku 1 przedstawiono połączenia między tymi układami. Kanały *Ch1*, *Ch2*, *Ch3* posiadają wbudowaną separację galwaniczną od układu zewnętrznego.



**Rys. 1.** Schemat blokowy układów funkcjonalnych estymatora/analizatora jakości energii elektrycznej [9]

**Fig. 1.** The block diagram of functional structures of the electric power quality estimator-analyzer [9]

Układ ADC (ang. *Analog-to-Digital Converter*) zrealizowano z wykorzystaniem przetworników AD7656 firmy Analog Devices [1]. Jego zadaniem jest przetwarzanie wartości chwilowych sygnałów z systemu elektroenergetycznego na postać cyfrową. Układ ten ma możliwość komunikacji z innymi urządzeniami poprzez potrójny interfejs SPI (ang. *Serial Peripheral Interface*) [2], gdzie w jednym cyklu zegara synchronizującego komunikację wysyłane są dane na 3 liniach interfejsu (DOUTA, DOUTB, DOUTC).

Układ FPGA (ang. *Field Programmable Gate Array*) pełni rolę układu pośredniczącego pomiędzy portami interfejsów o różnych standardach, w przetwornikach ADC i procesorach DSP (ang. *Digital Signal Processing*) oraz GPP (ang. *General Purpose Processor*). W urządzeniu zastosowano układ Xilinx Spartan 3 XC3S1000 [9]. Istnieją w nim możliwości programowania wejść/wyjść, jako linie symetryczne bądź niesymetryczne.

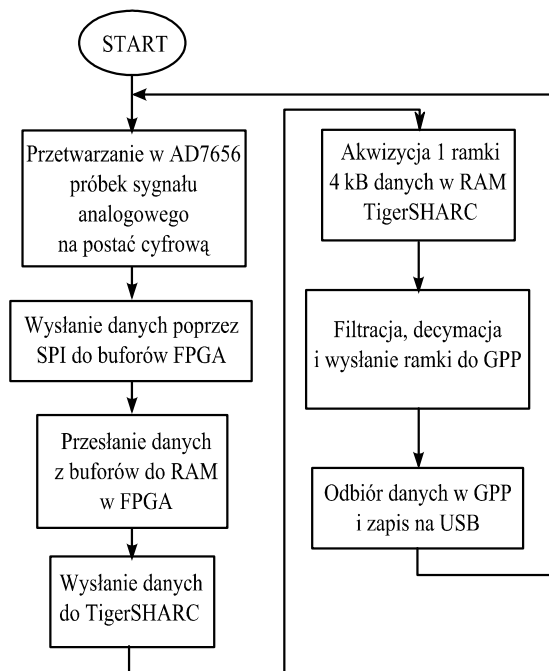
Funkcje procesora sygnałowego DSP realizuje TigerSHARC TS201 firmy Analog Devices [8]. Nie ma on możliwości połączenia z urządzeniami zewnętrznymi za pomocą interfejsu SPI, lecz możliwe jest jego podłączenie za pomocą protokołu LVDS (ang. *Low Voltage Differential Signaling*) [6, 8].

Jako procesor GPP zastosowano procesor LPC3250 z rodziny ARM9 na płycie bazowej phyCORE-LPC3250 firmy NXP [7]. Procesor ten ma standardowo dostęp do peryferii, takich jak: czytnik kart SD (ang. *Secure Digital*), interfejs USB (ang. *Universal Serial Bus*), kontroler sieci Ethernet, interfejsów UART (ang. *Universal Asynchronous Receiver and Transmitter*), SPI, I<sup>2</sup>C (ang. *Inter-Integrated*

*Circuit*), wyświetlacza LCD (ang. *Liquid-Crystal Display*), z możliwością zainstalowania systemu wbudowanego Linux lub Windows CE 6.0. System Linux jest obecnie wykorzystywany w większości urządzeń multimedialnych, np. w telefonach komórkowych czy tabletach. Obydwa wspomniane systemy nie są systemami czasu rzeczywistego, co skutkuje ograniczeniem możliwości kontroli *on-line* nad peryferiami.

## 1. ALGORYTM REJESTRACJI DANYCH Z SYSTEMU ELEKTROENERGETYCZNEGO

Algorytm rejestracji próbek sygnałów z systemu elektroenergetycznego przedstawiono na rysunku 2. Próbkę sygnałów analogowych w kanałach pomiarowych *Ch1*, *Ch2* oraz *Ch3* (rys. 1) są przetwarzane na postać cyfrową w przetworniku ADC. Cyfrowe wyniki przetwarzania w każdym z kanałów są przesyłane w ramach za pomocą interfejsu SPI do bufora w FPGA.



**Rys. 2.** Algorytm rejestracji próbek sygnałów z systemu elektroenergetycznego [5]

**Fig. 2.** The algorithm of the samples registration of signals from electrical power system [5]

W kolejnym kroku dane są przepisane z buforów w FPGA do pamięci BlockRAM (ang. *Block Random Access Memory*) w FPGA, a następnie do procesora DSP za pomocą protokołu LVDS (na jeden kanał interfejsu przypadają dwie komórki *BlockRAM*). W pamięci procesora DSP dane są gromadzone w postaci

bloków (ramek) o objętości 4 kB. Podczas gromadzenia danych w DSP wykorzystywane są procedury ich filtracji i decymacji. Po zgromadzeniu w pamięci DSP (rys. 1) 510 ramek danych, odebranych z przetwornika ADC w blokach po 128 bitów, ramki danych o objętości 4 kB zostają wysłane do procesora GPP. W pierwszej fazie ramka 4 kB jest przesyłana do FPGA z wykorzystaniem protokołu LVDS, a następnie z FPGA do GPP dane są wysłane za pośrednictwem interfejsu SPI. Ramka danych jest odbierana w GPP z wykorzystaniem oprogramowania funkcjonującego w środowisku Linux. Odbiór danych rozpoczyna się po wykryciu zbocza na linii SYNC, sygnalizującej koniec buforowania z DSP. Linia ta zapewnia synchronizację komunikacji przez port SPI, między FPGA i GPP. W pierwotnej koncepcji urządzenia synchronizacja ta realizowana była programowo: odczyt danych z FPGA przez SPI do GPP inicjowany był przez układ czasowy w GPP. W następstwie przerwania, generowanego w GPP co ok. 200 ms, realizowana była programowa identyfikacja nagłówka ramki i transmisja zadanego bloku danych. Procesy zapisu z DSP do FPGA i odczytu z FPGA do GPP były procesami asynchronicznymi. W efekcie, podczas odczytu danych z ADC do GPP, mogły być one nadpisywane w FPGA danymi zawartymi w kolejnych ramkach z DSP. Wprowadzenie synchronizacji sprzętowej (linia SYNC) wyeliminowało możliwość wystąpienia takiego zdarzenia, jak również pozwoliło na częstszy transfer danych, kontrolowany z poziomu algorytmu, aktualnie realizowanego w GPP.

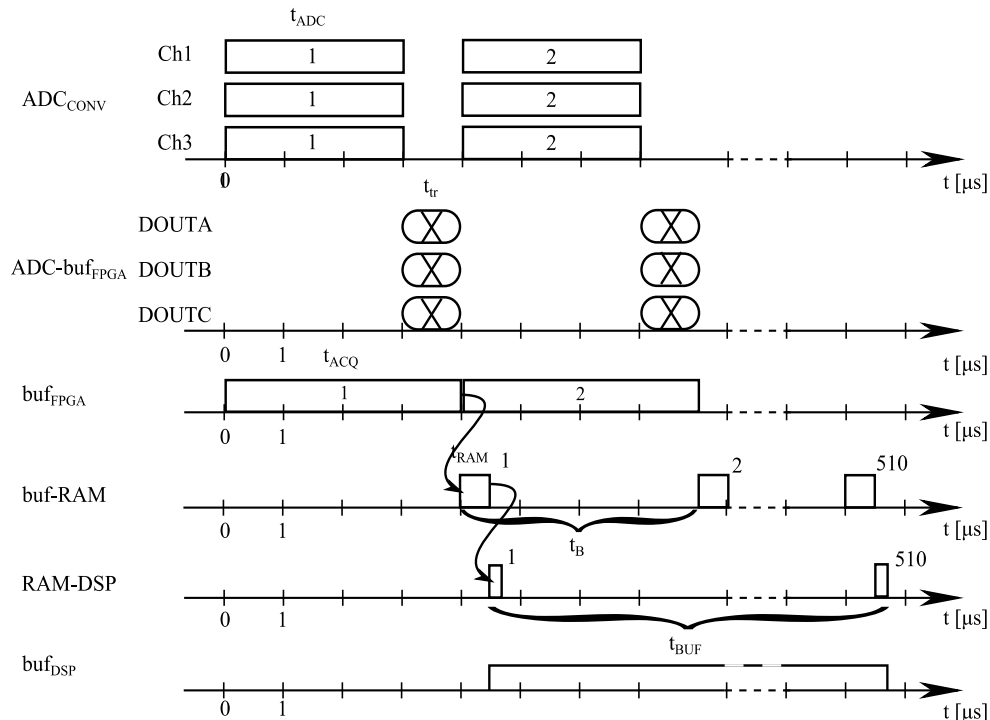
Oprogramowanie procesora GPP zapewnia odbiór i zapis ramek do buforów o maksymalnym rozmiarze 4 kB. Bufory te zapisywane są następnie w pamięci przenośnej pendrive poprzez port USB, pod kontrolą oprogramowania zawartego w kernelu Linuxa.

## 2. ANALIZA RELACJI CZASOWYCH W TRANSMISJI DANYCH Z ADC DO DSP

Relacje czasowe procesów, począwszy od przetwarzania sygnału analogowego na postać cyfrową w przetworniku ADC (przetwarzającego z szybkością 210 kS/s) do zapisu danych w ramkach 4 kB w pamięci SRAM (ang. *Static RAM*) procesora DSP, przedstawiono na rysunku 3. Czas konwersji sygnału analogowego na postać cyfrową w przetworniku ADC ( $t_{ADC}$ ) jest stały i równy 3  $\mu$ s. Czas  $t_r$  jest czasem odbioru danych w FPGA za pośrednictwem SPI z trzech kanałów ADC: DOUTA, DOUTB, DOUTC. Czas ten jest zależny od częstotliwości zegara synchronizującego odczyt danych z ADC poprzez SPI i w warunkach urządzenia wynosi 943 ns. Na czas akwizycji danych  $t_{ACQ}$  w FPGA składa się przetwarzanie wartości chwilowych sygnału na postać cyfrową oraz przesyłanie wyników przetwarzania do FPGA:

$$t_{ACQ} = t_{ADC} + t_r = 3,943 \mu\text{s}. \quad (1)$$

W czasie kolejnego cyklu przetwarzania w przetworniku ADC dane są przepisywane z buforów w FPGA do pamięci wewnętrznej BlockRAM w tym układzie.



**Rys. 3.** Relacje czasowe w torze rejestracji danych, od konwersji w ADC do zapisu w buforze DSP [9]

**Fig. 3.** The time relations occurring after the ADC conversion until the recording on a pendrive [9]

Z pamięci BlockRAM dane są wysłane z wykorzystaniem protokołu LVDS do procesora DSP w czasie  $t_{RAM}$  (2). W tej operacji przesyłana jest jedna 128-bitowa ramka poprzez interfejs LVDS z szybkością 200 Mb/s.

$$t_{RAM} = \frac{l_p}{v_s} = 640 \text{ ns}, \tag{2}$$

gdzie:

- $l_p$  – liczba bitów zapisywanych w procesorze DSP (128 b),
- $v_s$  – szybkość przesyłania ramki z FPGA do DSP (200 Mb/s).

W pamięci procesora DSP jest gromadzonych 510 ramek danych 128-bitowych z FPGA ( $buf_{DSP}$ ). Ramki te gromadzone są w pamięci procesora DSP w czasie  $t_{BUF}$  (3).

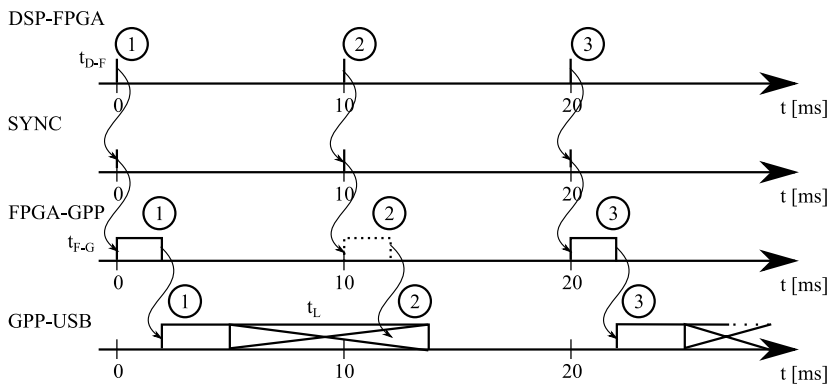
$$t_{BUF} = \frac{n_r}{v_s} = 2,4 \text{ ms}, \tag{3}$$

gdzie:

- $n_r$  – liczba ramek zapisywanych w procesorze DSP (510),
- $v_s$  – szybkość przesyłania ramek z FPGA do DSP odpowiadającą szybkości przetwarzania w przetworniku ADC (210 kS/s).

### 3. ANALIZA RELACJI CZASOWYCH W TRANSMISJI DANYCH Z DSP DO PENDRIVE'A

Relacje czasowe, występujące przy przesyłaniu danych, od momentu zgromadzenia tych danych w ramkach 4 kB w pamięci procesora DSP do momentu ich zapisu w pamięci przenośnej pendrive, przedstawiono na rysunku 4.



**Rys. 4.** Analiza czasowa procedur wysłania danych z DSP do GPP i zapisu na pendrivie [5]

**Fig. 4.** The time analysis of data transmission from DSC to write data on pendrive [5]

Przez port interfejsu LVDS ramka o objętości 4 kB jest przesyłana z procesora DSP do układu FPGA z szybkością 250 Mb/s w czasie  $t_{D-F}$  (4).

$$t_{D-F} = n_b * l_b / n * t_{LVDS} = 131 \mu s, \quad (4)$$

gdzie:

- $n_b$  – liczba bajtów wysyłanych w jednej ramce danych (4096 B),
- $l_b$  – liczba bitów przypadająca na jeden bajt (8 bitów),
- $n$  – liczba bitów przesyłana w jednym takcie zegara  $t_{LVDS}$  (2),
- $t_{LVDS}$  – czas potrzebny na wysłanie 2 bitów danych (8 ns).

Po odebraniu ramki w FPGA ustawiany jest sygnał na linii SYNC, podłączonej do układu GPP, wykorzystywany do synchronizacji odbioru danych w GPP. Przesyłanie danych do GPP realizowane jest pod nadzorem oprogramowania (w GPP), które inicjowane jest przez przerwanie na linii SYNC. Transmisja ramki 4 kB przez SPI odbywa się w takt zegara o częstotliwości ok. 16 MHz. Czas przesłania takiej ramki ma postać:

$$t_{F-G} = n_b * l_b * t_{SPI} = 2,048 \text{ ms}, \quad (5)$$

gdzie:

- $n_b$  – liczba bajtów wysyłanych w jednej ramce danych (4096 B),
- $l_b$  – liczba bitów przypadająca na jeden bajt (8 bitów),
- $t_{SPI}$  – czas potrzebny na wysłanie 1 bitu danych (62,5 ns).

Ramka buforowana jest w pamięci GPP, a następnie zapisywana do pamięci przenośnej pendrive z wykorzystaniem sterowników portu USB, dostępnych w środowisku Linux. W tabeli 1 przedstawiono udział procentowy błędnych ramek, zapisanych w pamięci pendrive, w stosunku do wszystkich ramek wysyłanych z DSP, dla różnych odstępów czasu pomiędzy transmisją z DSP do GPP kolejnych ramek 4 kB.

**Tabela 1.** Błędnie odebrane ramki w zależności od cyklu ich wysłania [5]

**Table 1.** Number of erroneous frames, depending on the sending cycle [5]

Cykl wysłania ramki [ms]	Błędne ramki [%]
5	0,69
8	0,16
10	0,04
13	0,03
15	0,02
18	0
20	0
23	0

## PODSUMOWANIE

W artykule przedstawiono analizę relacji czasowych w torze rejestracji danych z systemu elektroenergetycznego. Dokonano analizy czasowej operacji realizowanych na poszczególnych etapach przetwarzania i przesyłania danych: od przetwarzania sygnałów analogowych na postać cyfrową do momentu zapisu danych w pamięci przenośnej. Czas przesłania pojedynczej ramki z ADC do DSP jest stosunkowo niewielki w porównaniu do czasu zapisu danych w pamięci pendrive. Dodatkowe analizy zamieszczono w [4].

Autorzy przedstawili sposób modyfikacji algorytmu komunikacji w systemie pomiarowym i usprawnienia transmisji ramek z DSP do GPP. Zmiana sposobu synchronizacji ramek w komunikacji między FPGA a GPP, z synchronizacji programowej na sprzętową, spowodowała wydatne zwiększenie efektywności wymiany danych między tymi układami. Dzięki zastosowaniu modyfikowanego algorytmu udało się skrócić czas potrzebny na przesyłanie danych.

Próby zapisu danych na pendrivie w cyklach krótszych niż 18 ms powodują utratę części danych bądź ich nadpisywanie. Brak błędów obserwowany był przy zapisie danych z krokiem czasowym nie mniejszym niż 18 ms. Jest to najlepsze ogniwo toru rejestracji danych.

Czas potrzebny do zapisu danych na pendrive, za pośrednictwem portu USB w module procesora GPP z systemie operacyjnym Linux, jest trudny do jednoznaczego określenia. Środowisko to jest wielowątkowe, wobec czego procesy, które działają w tle, są poza kontrolą użytkownika.

Autorzy prowadzą dalsze prace nad możliwością uzyskania krótszych czasów akwizycji i zapisu danych na nośnik zewnętrzny urządzenia. Prowadzone są one w kierunku opracowania sterownika w języku procesora, który umożliwiłby skrócenie czasu zapisu przez port USB, jak również zapis większej ilości danych przesyłanych do GPP za pośrednictwem układu FPGA z procesora DSP.

## LITERATURA

1. AD7656/AD7657/AD7658, *Data sheet*, Rev. D, Analog Devices, 2010.
2. Analog Devices, *Interfacing to High Speed ADCs via SPI*, Application Note AN-877, Rev. A 12/05.
3. Instytut Energetyki, Jednostka Badawczo-Rozwojowa Oddział Gdańsk, *Opracowanie i wykonanie części sprzętowej prototypu analizatora/estymatora jakości energii elektrycznej oraz wykonanie o programowania procesora ogólnego przeznaczenia, Etap 1, Koncepcja prototypu analizatora/estymatora*, Gdańsk 2008.
4. Maśnicki R., Hallmann D., *Zależności czasowe w układzie rejestracji danych z systemu elektroenergetycznego*, Zeszyty Naukowe Wydziału Elektrotechniki i Automatyki Politechniki Gdańskiej, 2014, nr 38, s. 45–48.
5. Mindykowski J., Maśnicki R., Hallmann D., *The strategies of data recording in power quality parameters measuring instrument*, 20th IMECO TC4 International Symposium and 18th International Workshop on ADC Modelling and Testing, Benevento, Italy 2014.
6. National Semiconductor, *LVDS Owner's Manual*, 2008.
7. PHYTEC, *System on Module and Carrier Board Hardware Manual*, January 27, 2009.
8. Xilinx, *Analog Devices TigerSHARC Link Port, Application Note: Spartan-II and Spartan-3 Families, Virtex and Virtex-II Series*, XAPP634 (v1.2), 2004.
9. Xilinx, *Spartan-3 FPGA Family Data Sheet*, Product Specification, Application Note DS099, 2005.

## ANALYSIS OF TIME RELATIONSHIP IN THE SYSTEM OF DATA REGISTRATION POWER SYSTEM

### Summary

*The article presents the time relations between processes and operations carried out during the registration of data from the electrical power system, stored in pendrive portable memory. The authors present and analyze in terms of successive stages of registration of data containing information on the signals in the power system, starting from their conversion into digital form, by*



*gathering in memory of the DSP, sending them using LVDS protocol to the FPGA, where they are cached in 4 KB frames and then sent via SPI interface to the processor memory GPP operating under the Linux system. In the next step, using the tools and drivers available in this environment, data is stored on the USB. This operation is critical in saving the data stream from the power system, affecting the speed limit of data recording. Limitations of this operation are mainly due to the properties of the Linux system.*

*The paper describes the configuration and processes at the basic functional blocks of data recording track: ADC, DSP, FPGA and GPP with a USB port. An analysis of time constraints operations performed sequentially in individual blocks. "A bottleneck" for the data stream to the recording operation is under the control of the USB GPP. The article presents the results of data processing speed in individual blocks and the existing time constraints. The conclusions about the properties of the embedded operating system, installed in the system GPP and the possibility of using such solution in data recording systems. The paper presents the benefits and limitations associated with their use.*